

日本国特許庁

JAPAN PATENT OFFICE

Priority Doc.
C. Willis
6-4-02

JC9784139
10/05/5
01/22/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2001年 3月30日

出願番号

Application Number:

特願2001-098038

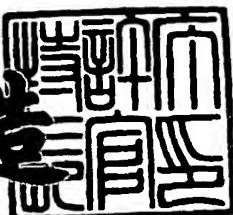
出願人

Applicant(s):

アジレント・テクノロジー株式会社

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



2001年 7月27日

出証番号 出証特2001-3065530

【書類名】 特許願
【整理番号】 P010134
【あて先】 特許庁長官 及川 耕造 殿
【国際特許分類】 H03M 1/10
G01R 31/00

【発明者】

【住所又は居所】 東京都八王子市高倉町9番1号 アジレント・テクノロジー株式会社内

【氏名】 酒寄 寛

【発明者】

【住所又は居所】 東京都八王子市高倉町9番1号 アジレント・テクノロジー株式会社内

【氏名】 小室 貴紀

【特許出願人】

【識別番号】 000121914

【氏名又は名称】 アジレント・テクノロジー株式会社

【代理人】

【識別番号】 100099623

【弁理士】

【氏名又は名称】 奥山 尚一

【選任した代理人】

【識別番号】 100096769

【弁理士】

【氏名又は名称】 有原 幸一

【選任した代理人】

【識別番号】 100107319

【弁理士】

【氏名又は名称】 松島 鉄男

【手数料の表示】

【予納台帳番号】 086473

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909279

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路の試験装置

【特許請求の範囲】

【請求項1】 比較器と該比較器の出力を受け付けるメモリと該メモリからの出力を受け付けるドライバとを含み、被試験デバイスから出力されたアナログ信号及びディジタル信号をモニタできる集積回路の試験装置であって、

前記被試験デバイスから出力されたアナログ信号と、前記ドライバから出力された信号とが入力される加算器または減算器と、

該加算器または減算器から出力されたアナログ信号が入力される積分器と、

該積分器から出力されたアナログ信号と、前記被試験デバイスから出力されたディジタル信号とを切り替えて前記比較器に伝える第1の切り替え器と、

前記メモリから出力された信号と、前記比較器から出力された信号とを切り替えて前記ドライバに伝える第2の切り替え器と

を含んでなり、被試験対象がアナログ信号であるのかディジタル信号であるのかに応じて、前記切り替え器の少なくとも1つを切り替えることを特徴とする集積回路の試験装置。

【請求項2】 前記試験装置が、前記比較器とメモリとの間に第3の切り替え器とディジタル・フィルタをさらに含み、前記比較器から出力された信号を切り替えて前記ディジタル・フィルタを介して前記メモリに出力する請求項1に記載の集積回路の試験装置。

【請求項3】 前記試験装置が、前記比較器と前記加算器または減算器との間に遅延回路をさらに含んでいる請求項1または2に記載の集積回路の試験装置。

【請求項4】 前記試験装置が、前記比較器と前記第2の切り替え器との間に遅延回路をさらに含んでいる請求項1または2に記載の集積回路の試験装置。

【請求項5】 前記試験装置が、前記比較器から前記加算器または減算器へのフィードバック経路において前記ドライバを含んでいる請求項1から4までのいずれかに記載の集積回路の試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、集積回路（以下、「IC」と呼ぶ。）の試験装置に関し、特に、デジタル・アナログ混在ICの試験装置に関するものである。

【0002】

【従来の技術】

従来型のIC試験装置の構成例について図7に示す。従来のIC試験装置は、電源1と、制御装置2と、タイミングと各装置の同期を司るタイムベース同期システム部3と、各測定装置と被試験デバイスとを接続するデバイスインターフェイス4とを有している。このような試験装置は、さらに、被試験デバイスのデジタル信号端子との間でデジタル信号をやり取りして、このデバイスの良否を判定するためのデジタルI/O装置5（複数備えられることが多い）と、被試験デバイスのアナログ信号入力端子に既知の信号を入力するためのオーディオ帯域用AWG（Arbitrary Waveform Generator：任意波形発生器。以下、「AWG」と呼ぶ）6及びビデオ帯域用AWG7と、被試験デバイスのアナログ信号出力端子からの信号を検出して、このデバイスの良否を判定するためのディジタイザ（オーディオ帯域用）8及びディジタイザ（ビデオ帯域用）9とを含んでなる（AWG、ディジタイザとも扱う信号の周波数と要求される精度との兼ね合いにより帯域や分解能の異なる装置を複数備えることがある）。

【0003】

ICデバイスの試験を行うためには、被試験デバイスに対して所定の信号を入力し、その際、被試験デバイスより出力される信号と期待値とを比較する。特にデジタルとアナログとの回路が混在するICの場合には、デジタル・コンパレータによるデジタル出力試験とアナログ・ディジタルコンバータによるアナログ出力試験の両方を行うことが求められる。

【0004】

具体的に図示しないが、例えば、デジタル信号発生装置において発生した試験用のデジタル信号を被試験ICへと入力し、被試験ICから出力されるアナログ信号をアナログ・ディジタルコンバータによって数値化してキャプチャ・メ

モリに蓄えた後に、演算用プロセッサがこのキャプチャ・メモリに蓄えられたデータに対して演算を行うことによって、被試験ICのアナログ出力特性の評価に必要なパラメータを算出して良否判定を行うことができる。また、被試験ICのデジタル出力信号についても、被試験ICからのデジタル出力信号と、良品として期待される値とをデジタル信号判定装置によって比較して良否判定を行うことができる。

【0005】

この様に従来の技術では、デジタル出力、アナログ出力それぞれ別々のユニットを使用して試験することによって、デジタルとアナログとの回路が混在するICの試験を実現しているため、デジタルICテストとアナログICテストの二つの装置で試験を行うか、あるいは大規模なデジタル・アナログ混在ICテストを使用して試験を行う必要があった。

【0006】

【発明が解決しようとする課題】

従来技術においては、被試験デバイスへと入力する、または、当該デバイスから出力される信号の属性(例えば、デジタル信号又はアナログ信号か、周波数帯域及び分解能等)毎に、その信号を扱うに最適な試験装置をテストシステム内に用意する必要がある。また、多様な被試験デバイスをテストしようとすると、異なる性能の多数の装置を用意する必要がある。

【0007】

そして、テストの都度、これらの試験装置を被試験デバイスの該当する端子に接続する必要がある。このような接続は、測定項目によって変更されることがある。接続の変更は、一般に、リレーなどの機械的接続装置のオン又はオフを伴うため、テストに時間がかかる。また、被試験デバイスの端子配置は、一般に、デバイス毎に異なるので、被試験デバイス毎に専用の接続治具を用意する必要がある。

【0008】

さらに、最近の高機能ICの傾向として、大規模なデジタル回路と簡単なアナログ回路とを集積したICが増加してきている。このようなデジタルとアナ

ログの回路が混在する回路のために、アナログ部分のテスト用の大規模な装置を用意するのは、I Cのテスト・コストが高額になってしまふ。

【0009】

【課題を解決するための手段】

本発明は、従来技術では複数の試験装置で行われていた機能及び性能を備えた簡単な構成の单一の試験装置を提供する。具体的に、本発明は、比較器と該比較器の出力を受け付けるメモリと該メモリからの出力を受け付けるドライバとを含み、被試験デバイスから出力されたアナログ信号及びディジタル信号をモニタできる集積回路の試験装置であって、前記被試験デバイスから出力されたアナログ信号と、前記ドライバから出力された信号とが入力される加算器または減算器と、該加算器または減算器から出力されたアナログ信号が入力される積分器と、該積分器から出力されたアナログ信号と、前記被試験デバイスから出力されたディジタル信号とを切り替えて前記比較器に伝える切り替え器と、前記メモリから出力された信号と、前記比較器から出力された信号とを切り替えて前記ドライバに伝える切り替え器とを含んでなり、被試験がアナログ信号であるのかディジタル信号であるのかに応じて、前記切り替え器の少なくとも1つを切り替えることを特徴とするディジタル・アナログ混在集積回路の試験装置を提供する。ここで、前記試験装置が、前記比較器とメモリとの間にディジタル・フィルタをさらに含んでいる態様や、前記試験装置が、前記比較器とメモリとの間に遅延回路をさらに含んでいる態様や、前記試験装置が、前記比較器と第2の切り替え器との間に遅延回路をさらに含んでいる態様や、前記試験装置が、前記比較器から前記加算器または減算器へのフィードバック経路において前記ドライバを含んでいる態様が好適に挙げられる。

【0010】

本発明の試験装置によれば、被試験デバイスと試験装置との接続を変更せずに、複数の項目の試験を実施できる。また、デバイスの端子の位置が同一であれば、接続を変更せずに異なるデバイスの試験を実施できる。これにより、テスト・コストを低減できる。

なお、ディジタル信号の入力及び出力を1つの装置で行うことについて一般

に行われていたが、本発明によれば、デジタル信号の入力及び出力に加え、アナログ信号の入力及び出力も1つの試験装置で行うことができる。これは、従来例を示す図7において点線で囲んでいる部分、すなわち、デジタルI/O5と、オーディオ帯域用AWG6と、ビデオ帯域用AWG7と、オーディオ帯域用デジタイザ8と、ビデオ帯域用デジタイザ9とを含む部分を統合するものである。

【0011】

【発明の実施の形態】

本発明の実施例の説明に先立って、図7に示した従来技術のうち、電源1と、制御装置2と、タイミングと各装置の同期を司るタイムベース同期システム部3と、各測定装置と被試験デバイスとを接続するデバイスインターフェイス4については、本発明においても共通に使用可能であることを理解されたい。

【0012】

本発明の装置の第1の実施態様について図1を用いて説明する。まず、この実施態様の基本的な動作について、図1(a)、(b)により説明する。まず、デジタル信号出力及びアナログ信号出力について、図1(a)を参照して説明する。この信号出力部は、出力レベルを決めるコントローラ出力とデジタルテストのためのテストベクトル及びアナログ・テストのためのビットストリームが入力されるドライバ11と、ドライバ11からの分岐した2つの出力のうちの1つを入力するアナログ・フィルタ(ローパス・フィルタ)12とを含んでいる。デジタル信号を出力する場合には、ドライバ11の出力を直接使用する。ドライバ11は、出力制御信号に応じてハイ又はロー(H、L)の2値を出力するか、出力を切断して高インピーダンスマードを実現できる。また、アナログ信号を出力する場合には、ドライバ11の出力をアナログ・フィルタ12へと接続することにより、 $\Delta\Sigma$ DA変換器として動作させている。このとき、データレートとフィルタの遮断周波数を制御することにより、複数の帯域幅と分解能のDA変換器を実現できる。

【0013】

次に、デジタル信号入力及びアナログ信号入力の場合について、図1(b)

を参照して説明する。この信号入力部は、デジタル入力信号と、しきい値コントローラからの基準レベル信号とを比較する比較器13と、積分器14と、比較器13の出力を所定時間遅延させた遅延回路15と、デジタル・フィルタ16と、加算器17とを含んでいる。ここで、デジタル信号のレベルを検出する場合には、デジタル入力信号と、しきい値コントローラからの基準レベル信号とを比較器13にて比較する。比較の結果は出力されてメモリ20に記憶される。また、アナログ信号を測定する場合には、比較器13に積分器14と遅延回路15とを接続して△ΣA/D変換器として動作させる。デジタル化された波形は、デジタル・フィルタ16を通ってメモリ20に記憶される。このとき、積分器の時定数やフィルタのクロック周波数や遮断周波数を制御することにより、複数の帯域幅及び分解能を備えたA/D変換器を実現できる。

【0014】

図1 (a) と (b) の入力部と出力部を組み合わせて構成したのが図2に示すICテスタ全体の一実施形態である。点線で囲まれた部分が本発明により新たに付加される部分に対応している。斜線矩形部は、従来のデジタルテスタにおいても使用されている要素であるドライバ11と比較器13とメモリ20とを示している。

【0015】

次に、本発明のICテスタのデジタル信号の入力時及び出力時の動作について、図3を用いて説明する。まず、切り替え器22及び24が切り替えられることにより、被試験デバイスからのデジタル信号出力は、端子30から比較器13とを介してメモリ20へと出力される。そして、このデジタル出力信号と良品として期待される値とを、デジタル信号判定器（図示せず）等を用いて比較することにより被試験デバイスの良否判断を行う。次に、デジタル信号を出力する場合は、メモリ20に予め蓄積されているテスト・データをスイッチ24、ドライバ11を介してデジタル出力端子34に出力する。

【0016】

また、本発明のICテスタのアナログ信号の入力時及び出力時の動作について、図4及び図5を用いて説明する。アナログ信号が入力されれば、図4にあるよ

うに、被試験デバイスからのアナログ入力信号が、端子32から加算器17と積分器14とを通って切り替え器22へと達する。ここで、アナログ入力信号が、端子32から比較器13とディジタル・フィルタ16とを介してメモリ20へと伝送されるように、切り替え器22及び25を切り替える。また、比較器13の出力から分岐したアナログ出力信号が加算器17へとフィードバックされるように、切り替え器24の切り替えを行う。この加算器17と積分器14のフィードバックの組み合わせによりΣΔAD変換器が構成される。

【0017】

次に、図5を参照して、アナログ信号の出力時の動作について説明する。この場合には、メモリ20に蓄積されているテスト・データが、ドライバ11とアナログ・フィルタ12とアンプ26とを介して端子36へとアナログ出力信号を出力するように切り替え器24の切り替えを行う。また、被試験デバイスからのアナログ入力信号が端子32からメモリ20に伝送されないように、切り替え器22の切り替えを行う。

【0018】

本発明の第2の実施態様について、図6を参照して説明する。アナログ信号の出力(図10)及びディジタル信号の出力と入力(図8)とに関しては、図2に示した前記第1の実施態様の場合と同様なので説明を省略する。アナログ信号を入力する場合には、図9に示すように遅延回路15に比較器13の出力を入力し、その出力を2系統に分岐する。そして、一方の出力は後続のディジタル・フィルタ27へ、もう一方の出力はドライバ11へと接続する。また、加算器17と積分器14とを付加してΣΔAD変換器を構成する。この実施態様が第1の実施態様で説明した場合と異なるのは、標準的なディジタル信号用の回路に備えられているドライバ11をAD変換器の構成要素として用いることにある。ただし、この構成を実現するにはドライバ11を比較器13の出力から加算器17へのフィードバック経路に含めるような信号経路を構成できるように設計する必要がある。

【0019】

アナログ入力信号及び出力信号の振幅の調整は、ドライバ11の出力電圧範囲

を変化させることにより容易に実現できる。また、アナログ部分を差動化することやアナログ入出力時にドライバ出力に変調をかけることにより高精度化することができる。

【0020】

上記の実施例において、積分器14には、2次以上の高次の積分器を使うのが望ましいが、1次の積分器を用いて構成することもできる。また、メモリの配分について、動作モード(デジタル信号出力やアナログ信号入力など)毎に専用メモリを置く場合と、1つのメモリ領域を各動作モードに配分する方式がある。後者の場合、配分に制限をかけるかどうか、割付を動的に行うか静的に行うか等の種々の態様を適用することができる。

【0021】

【発明の効果】

本発明によって、ただ1種類の試験装置でデジタル及びアナログの両信号のテストを実施できる。また、アナログ・テストに関しては、周波数帯域幅と分解能の異なる複数の性能の試験を実現できる。この結果、測定デバイスや測定項目が多様であっても最小限の数の装置でテストを実行できる。さらに、テスト・コストを下げるために複数のデバイスを同時に測定する場合のような、いわゆるマルチサイト・テストに対しても、本発明を適用することができる。

【0022】

このように、製造するハードウェアの種類を少なくすることができるため、部品や代替品の準備などにかかるコストの削減が可能である。また、加算器や積分器やスイッチ等の簡単な要素を追加することにより、アナログ及びデジタルの両方の信号を取り扱い可能な計測装置を低コストで実現することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態であるアナログ・デジタル入力及び出力信号を試験する測定サブシステムを説明するための概略図である。

【図2】

図1の測定システムのICテスタ全体における実施形態を示す概略図である。

【図3】

図2の測定システムにおけるディジタル信号の入力時及び出力時の動作を示す概略図である。

【図4】

図2の測定システムにおけるアナログ信号入力時の動作を示す概略図である。

【図5】

図2の測定システムにおけるアナログ信号出力時の動作を示す概略図である。

【図6】

本発明の第2の実施形態である、図2の測定システムに切り替え器やディジタル・フィルタ等の機能をさらに付加した測定システムの構成を示す概略図である。

【図7】

従来技術を用いたICテストシステムのブロック図である。一点鎖線で囲んだ部分とディジタルI/Oの1チャンネルとを1つのハードウェアにて実現するのが本発明の趣旨である。

【図8】

図6の測定システムにおけるディジタル信号の入力時及び出力時の動作を示す概略図である。

【図9】

図6の測定システムにおけるアナログ信号の入力時の動作を示す概略図である。

【図10】

図6の測定システムにおけるアナログ信号の出力時の動作を示す概略図である。

【符号の説明】

- 1 1 ドライバ
- 1 2 アナログ・フィルタ
- 1 3 比較器
- 1 4 積分器

17 加算器

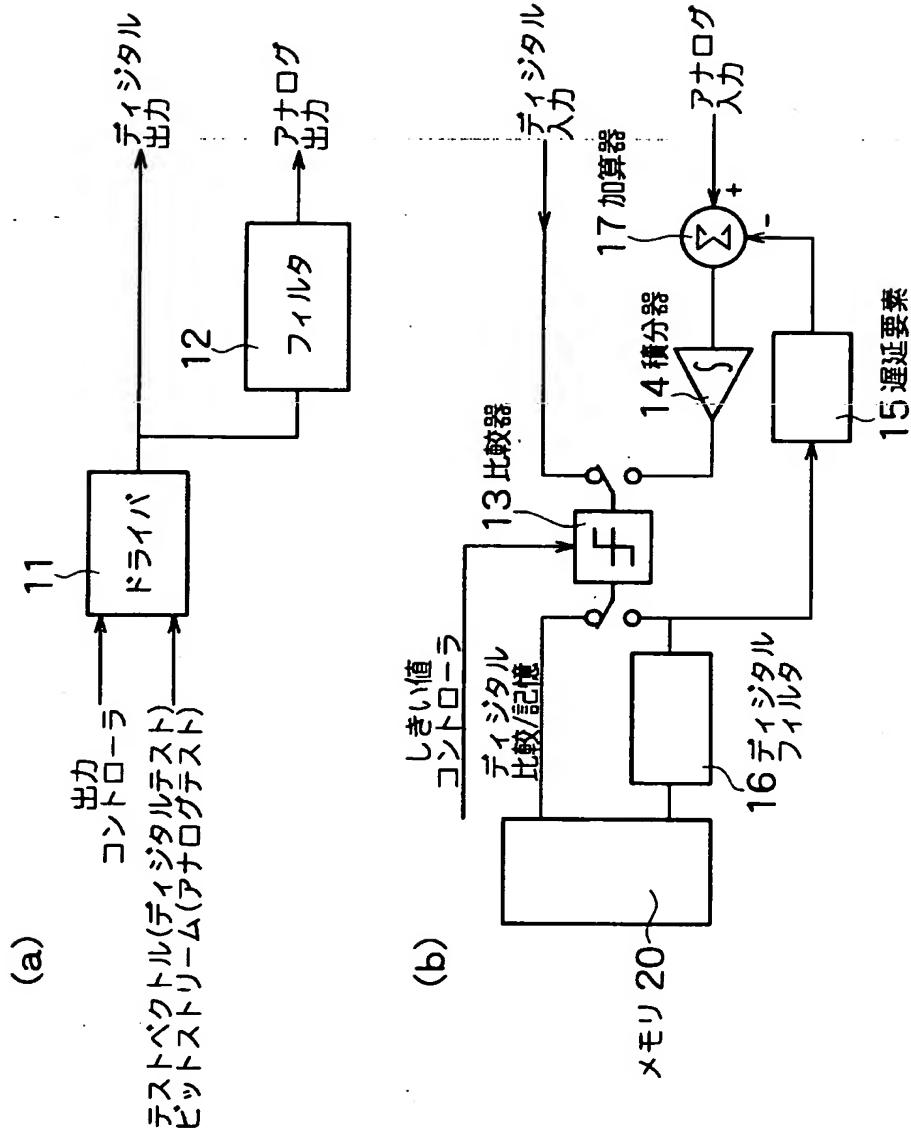
20 メモリ

22、24、25 切り替え器

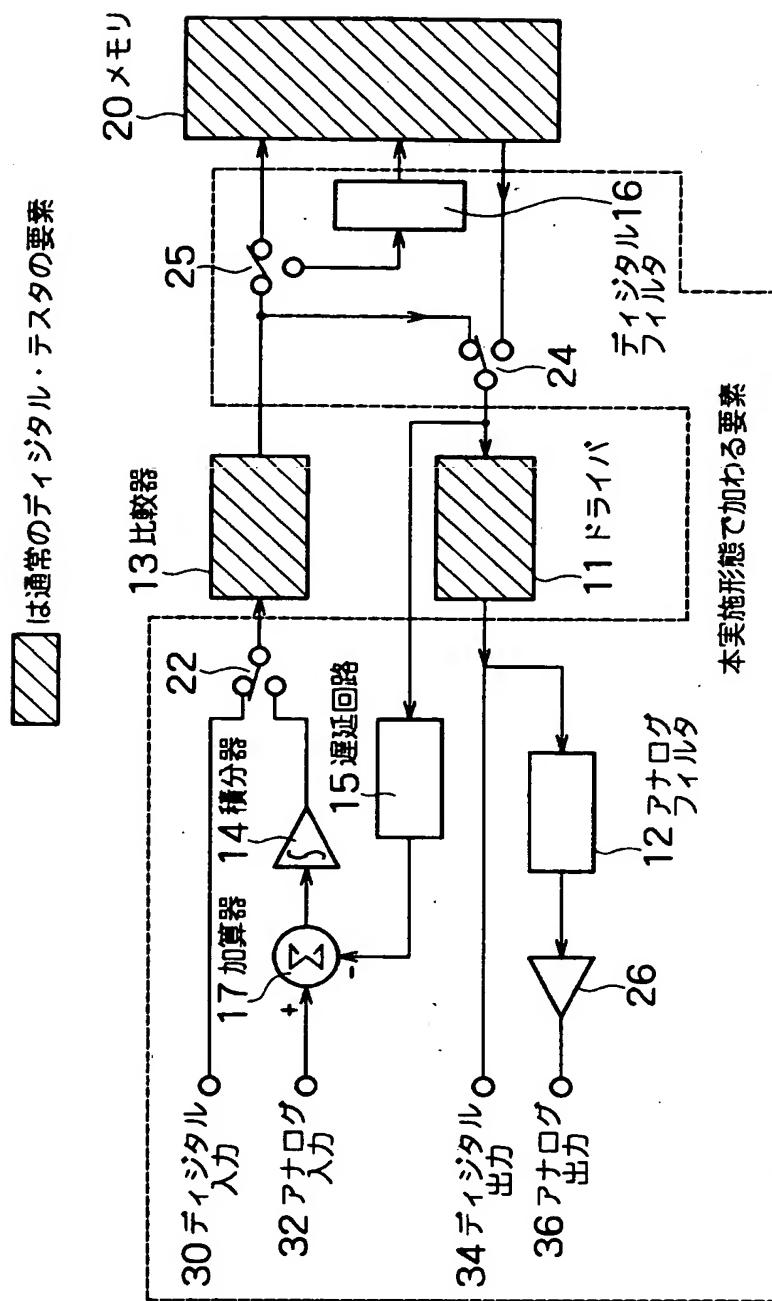
26 アンプ

【書類名】 **図面**

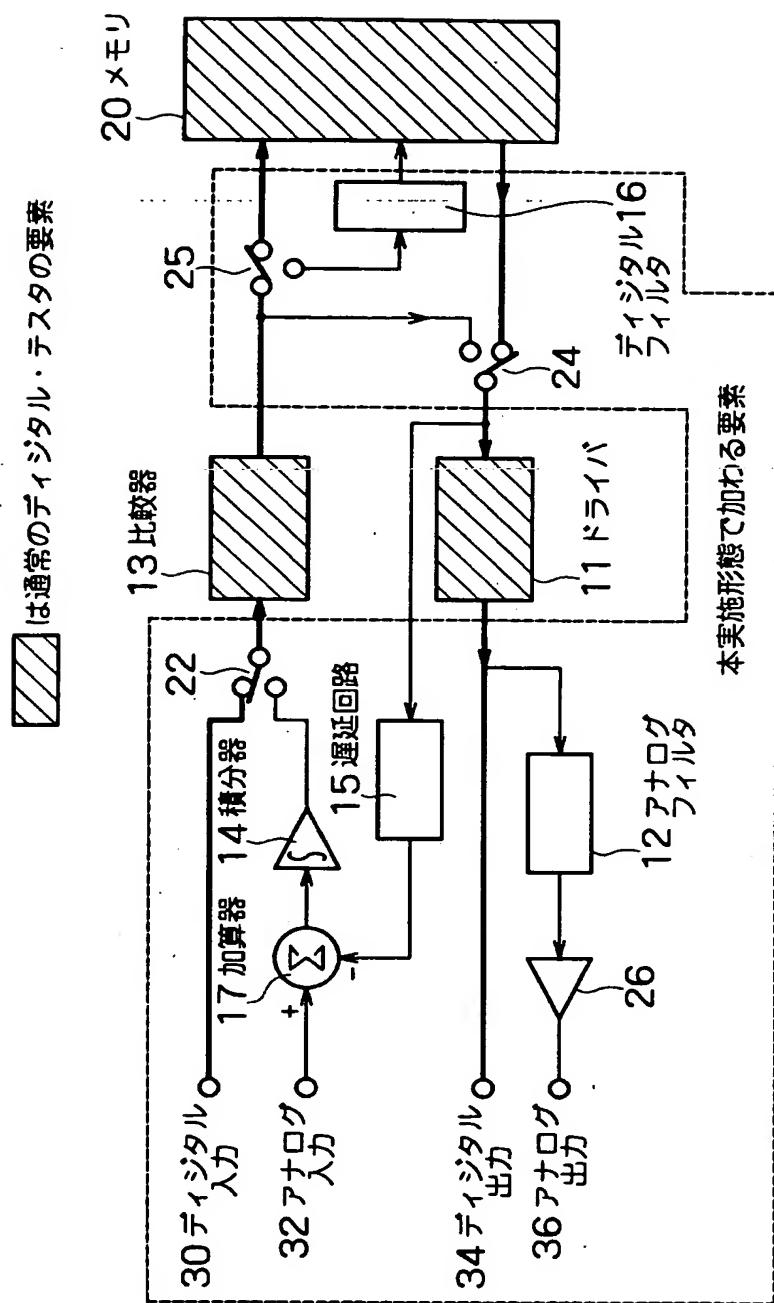
【図1】



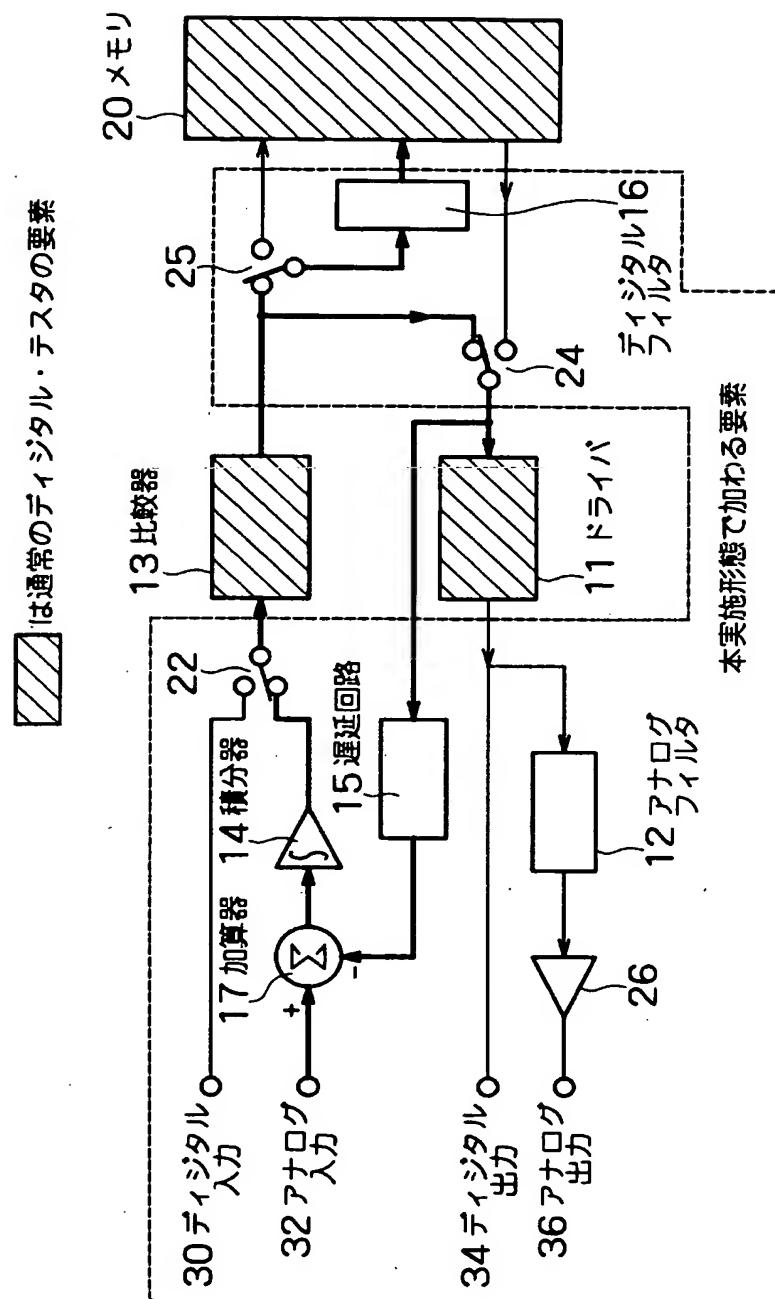
【図2】



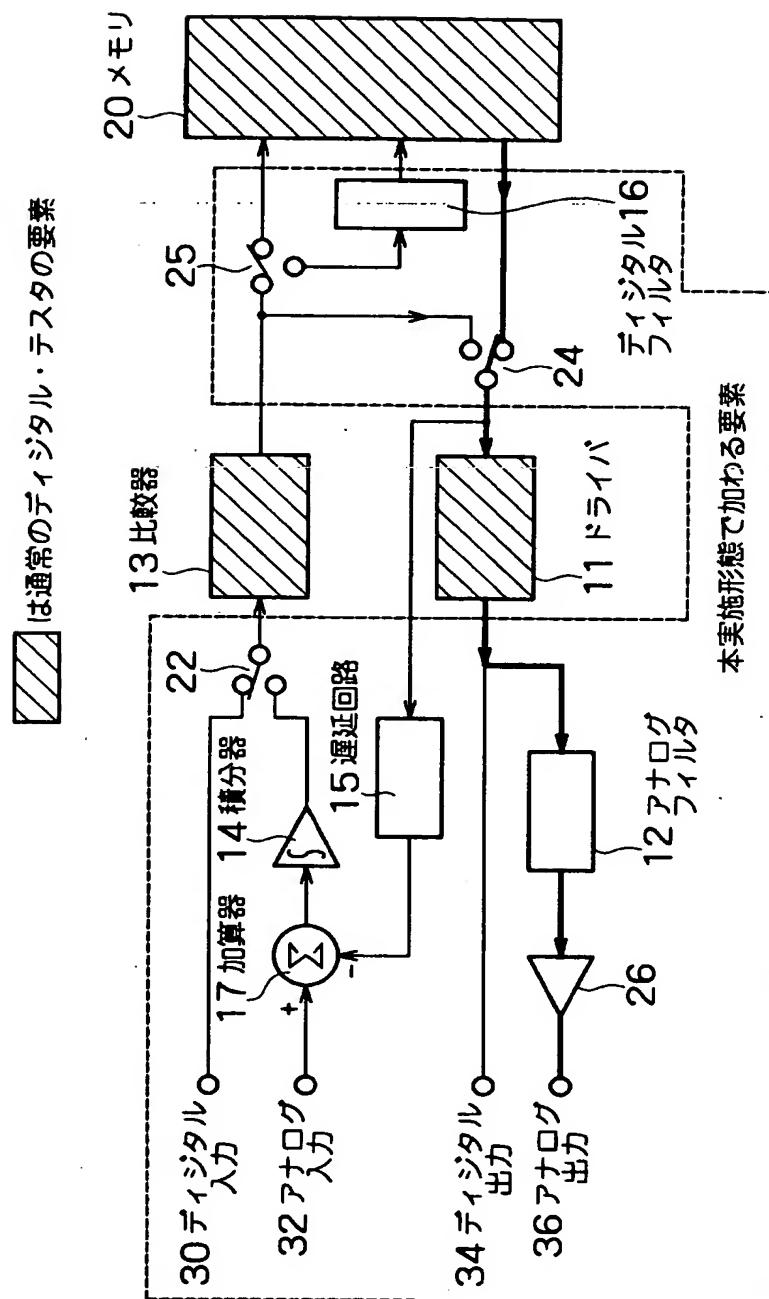
【図3】



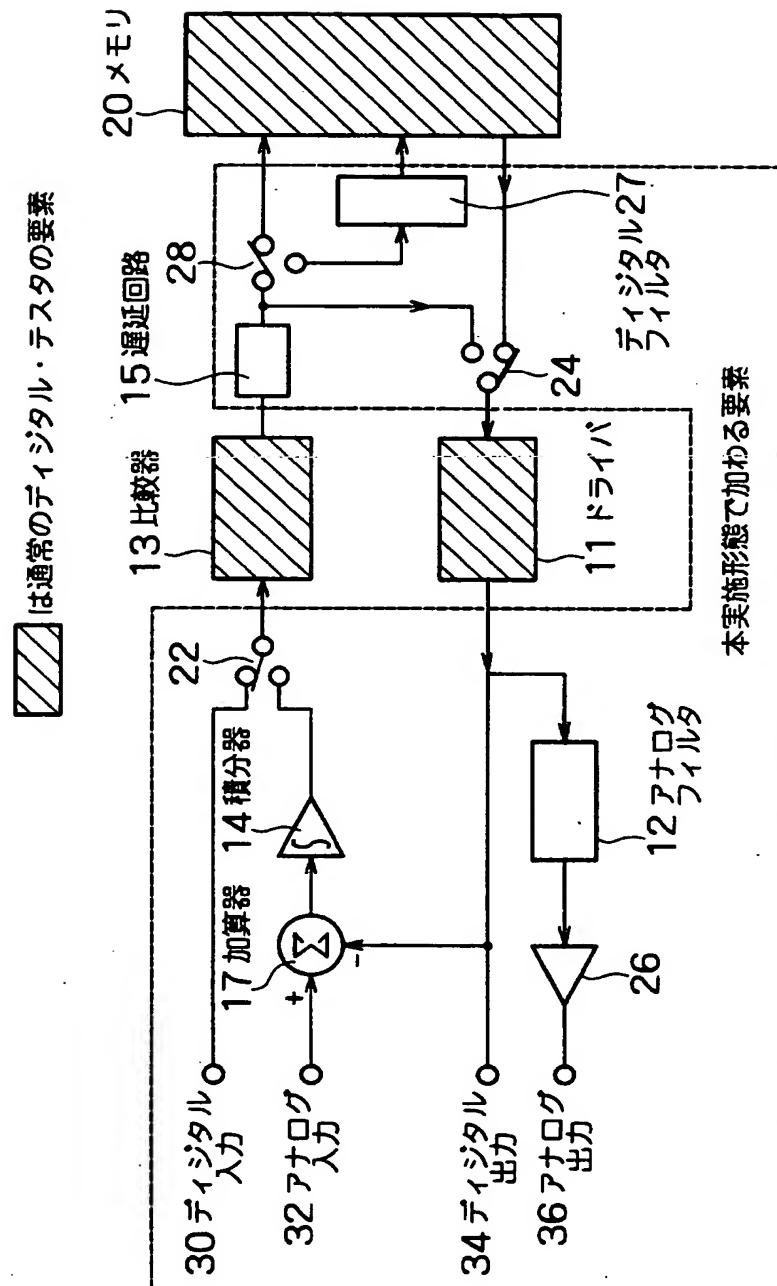
【図4】



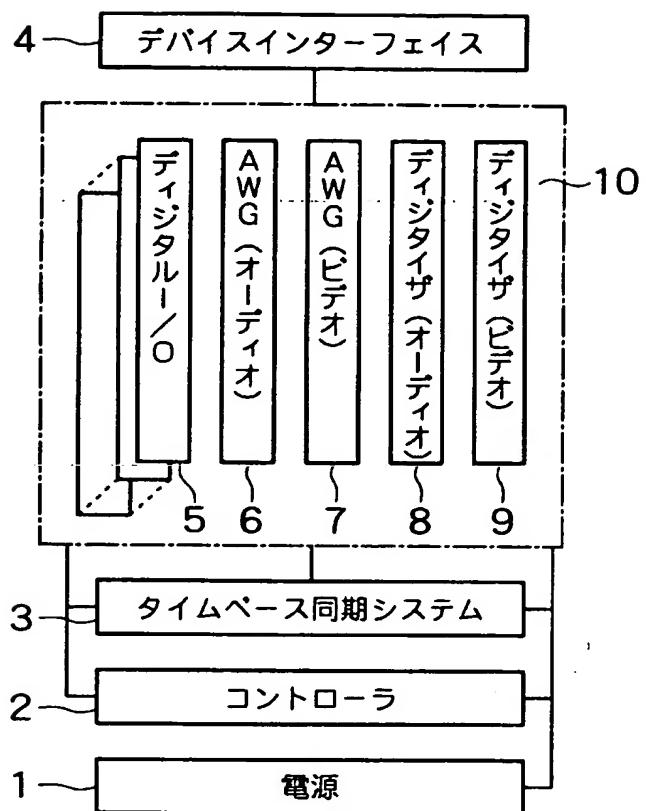
【図5】



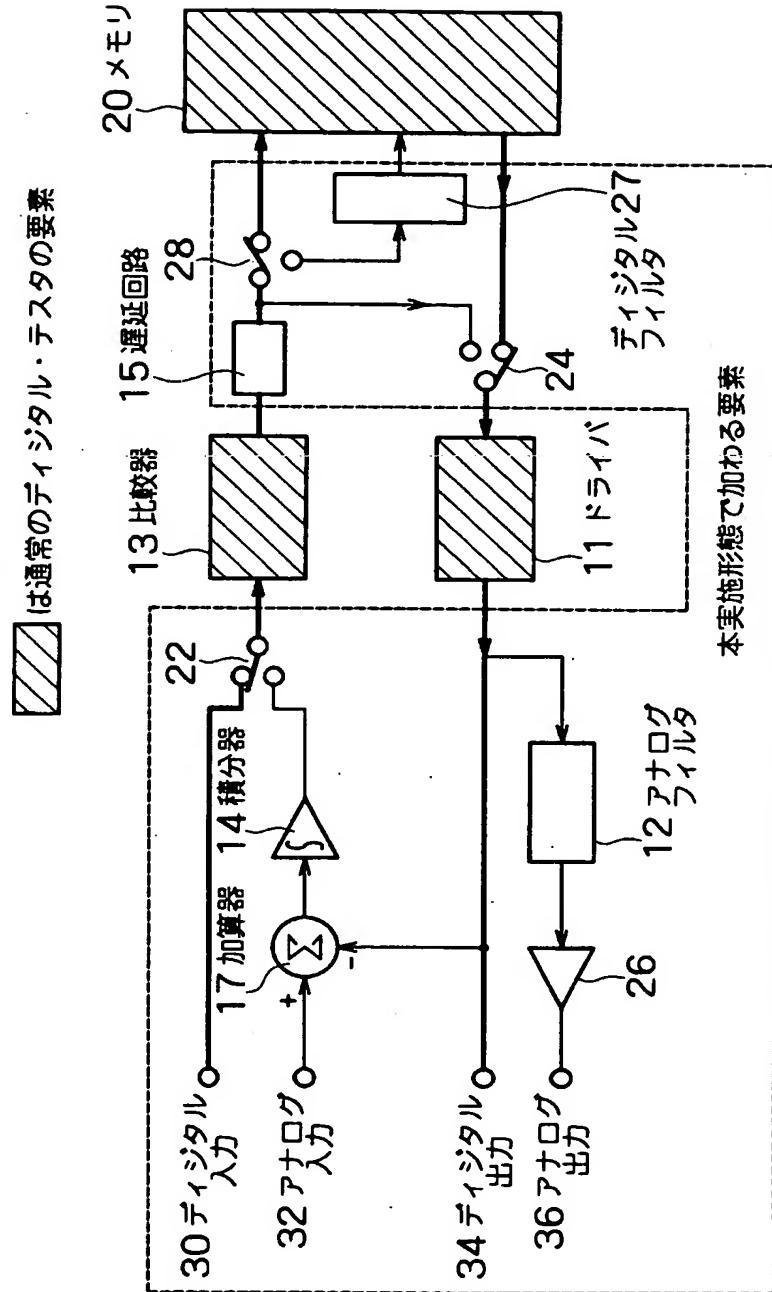
【図6】



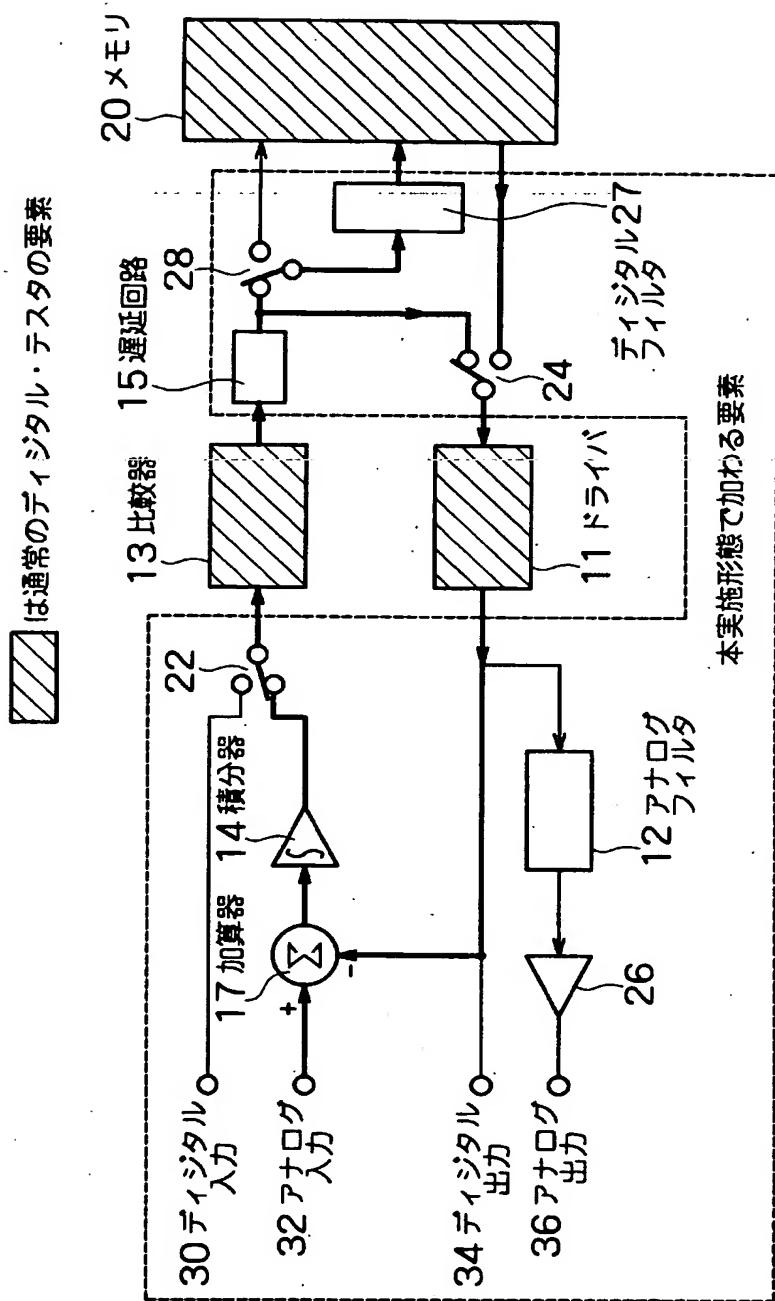
【図7】



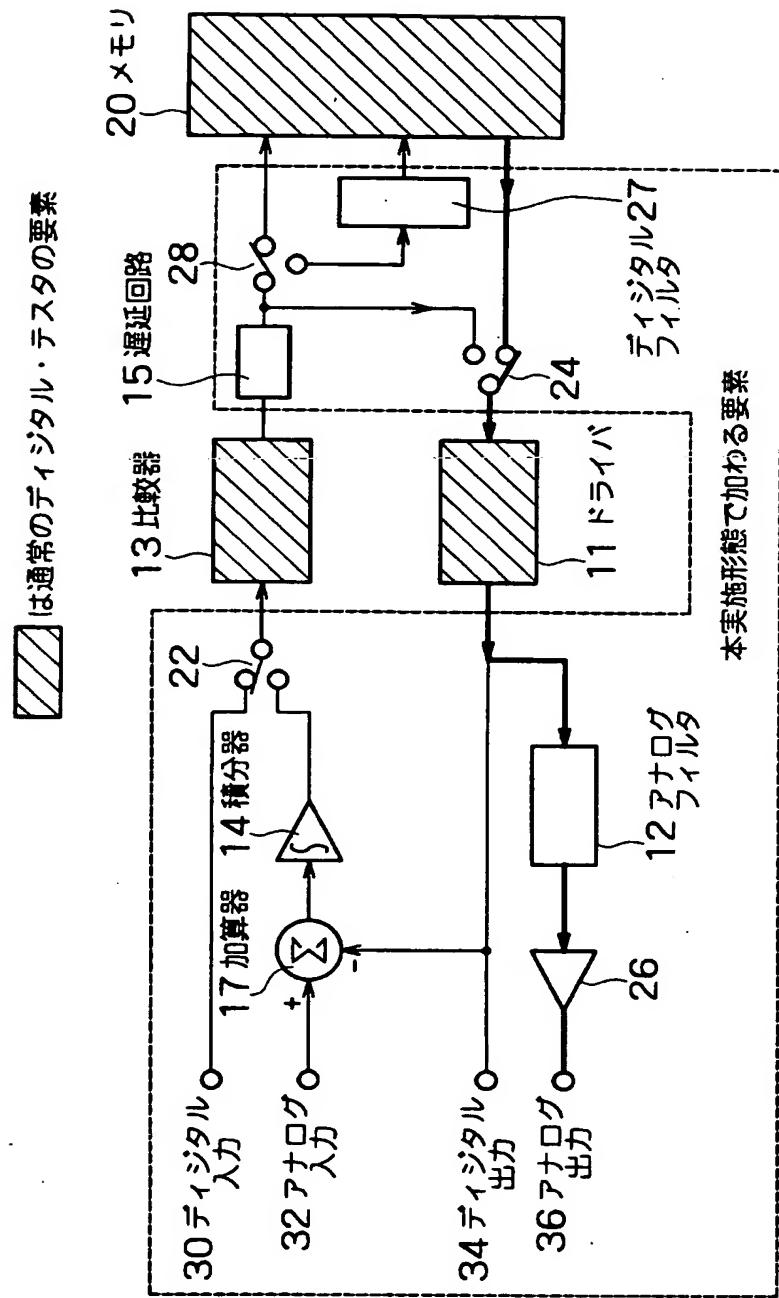
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 ディジタル及びアナログ信号の試験装置を提供する。

【解決手段】 集積回路の試験装置であって、被試験デバイスから出力されたアナログ信号と、ドライバ11から出力された信号とが入力されうる加算器または減算器17と、加算器または減算器17から出力されたアナログ信号が入力される積分器14と、積分器14から出力されたアナログ信号と、前記被試験デバイスから出力されたディジタル信号とを切り替えて比較器13に伝える切り替え器22と、メモリ20から出力された信号と、前記比較器13から出力された信号とを切り替えてドライバ11に伝える切り替え器24とを含んでなり、被試験がアナログ信号であるのかディジタル信号であるのかに応じて、切り替え器22、24の少なくとも1つを切り替えることを特徴とする集積回路の試験装置を提供する。

【選択図】 図2

認定・付加情報

特許出願の番号 特願2001-098038
受付番号 50100466744
書類名 特許願
担当官 第八担当上席 0097
作成日 平成13年 4月 2日

＜認定情報・付加情報＞

【提出日】 平成13年 3月30日

次頁無

出願人履歴情報

識別番号 [000124-914]
1. 変更年月日 1999年11月 1日
[変更理由] 名称変更
住 所 東京都八王子市高倉町9番1号
氏 名 アジレント・テクノロジー株式会社